



## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **04156197 A**(43) Date of publication of application: **28.05.92**

(51) Int. Cl.

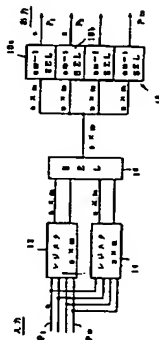
**H04Q 3/52**  
**H03K 17/00**
(21) Application number: **02281362**(22) Date of filing: **19.10.90**(71) Applicant: **FUJITSU LTD**
(72) Inventor: **MORIMOTO AKIO**  
**NAKADE HIROSHI**
(54) **MULTI-PORT TSW ELEMENT**

## (57) Abstract:

**PURPOSE:** To realize cross-connect of data of multi-channel and multi-port with less hardware by allowing a selector to select one of m-sets of n-channel multiplex data from data read alternately with respect to m-sets of ports receiving an n-channel multiplexing data.

**CONSTITUTION:** The data read out of each recording element is  $n \times m$ -bit parallel data and  $n \times m$  signal lines are provided. Output lines for a storage element 12 are  $2m$  lines and those for a storage element 14 and a selector 16 are similarly  $2m$  lines and the selector 16 is connected two sets of  $2m$  lines at the input side to output  $2m$  lines. Selectors 18a, 18b,... select one line from the  $2m$  lines and a designated input data is outputted to its own output port. Thus, desired cross-connect is implemented and a required hardware is less.

COPYRIGHT: (C)1992,JPO&amp;Japio



⑩ 日本国特許庁(JP) ⑪ 特許出願公開  
⑫ 公開特許公報(A) 平4-156197

⑬ Int. Cl.<sup>8</sup> 識別記号 庁内整理番号 ⑭ 公開 平成4年(1992)5月28日  
H 04 Q 3/52 1 0 1 A 9076-5K  
H 03 K 17/00 F 9184-5J

審査請求 未請求 請求項の数 1 (全4頁)

⑮ 発明の名称 マルチポートTSW素子

⑯ 特 願 平2-281362

⑰ 出 願 平2(1990)10月19日

⑱ 発 明 者 森 本 昭 雄 神奈川県川崎市中原区上小田中1015番地 富士通株式会社  
内  
⑲ 発 明 者 中 出 浩 志 神奈川県川崎市中原区上小田中1015番地 富士通株式会社  
内  
⑳ 出 願 人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地  
㉑ 代 理 人 弁理士 青 柳 稔

明 細 書

1. 発明の名称

マルチポートTSW素子

2. 特許請求の範囲

1. m個のポートに入力するnチャネル多重化データのクロスコネクトを行なうマルチポートTSW素子において、

該ポートに入力するデータを交互に書込まれまた交互に読出される一対の記憶素子(12、14)と、

これらの記憶素子から交互に読出されるn×mのデータを、それが読出される度に選択して出力する第1のセレクト(16)と、

該セレクトの出力を受け、m×nのデータのうちの1つを選択する動作をn回行なってnチャネル多重化データを出力するm個の第2のセレクト(18)とを備えることを特徴とするマルチポートTSW素子。

3. 発明の詳細な説明

[発明の概要]

クロスコネクト機能を有する伝送装置のマルチ

ポートTSW素子に関し、

少ないハードウェア量でマルチポート、マルチチャネルのデータのクロスコネクトを実現することを目的とし、

m個のポートに入力するnチャネル多重化データのクロスコネクトを行なうマルチポートTSW素子において、該ポートに入力するデータを交互に書込まれまた交互に読出される一対の記憶素子と、これらの記憶素子から交互に読出されるn×mのデータを、それが読出される度に選択して出力する第1のセレクトと、該セレクトの出力を受け、m×nのデータのうちの1つを選択する動作をn回行なってnチャネル多重化データを出力するm個の第2のセレクトとを備える構成とする。

(産業上の利用分野)

本発明は、クロスコネクト機能を有する伝送装置のマルチポートTSW素子に関する。

近年、伝送装置は単なる多重を行うだけでなく、多重化された信号をある単位毎に任意のポートに

出力できる機能(クロスコネク機能)を有するものが多くなった。この機能を実現するための手法として多く用いられるのが、TSW(時間スイッチ)である。

#### (従来の技術)

第4図に示すように例えば8チャネルのデータのクロスコネクは、(a)に示す該チャネルデータCH1, CH2, ……を(b)に示すメモリMEMのアドレスADDの0, 1, 2, ……に逐次(到着順)に書き込み、これを所望の順序本例ではアドレス1, 3, 0, 7, 4, ……で読出し、(c)の如きデータ列CH2, 4, 1, 8, 5, ……を得ることで行なわれる。(a)(c)は多重化データで、時間的に(a)ではCH1, CH2, ……の順で、また(c)ではCH2, CH4, ……の順で現われる。なお(a)(c)は各ポート(本例なら入出力とも8ポート)のデータで、左から順にポート1, ポート2, ……のデータであってもよい。

得られても1が得られない。

入力データと出力データの組合せは自由とすると、入力ポート1つに対して本例では3出力ポートに合わせて3つのメモリが必要になり、3入力では3×3枚のメモリが必要になる。これだけのメモリがあれば、入力ポート1のデータ1, 2を3枚のメモリに到着順に同様に書き込み、それを前、後いずれかのタイミングで読出して所要の出力ポートへ出力し、入力ポート2, 3のデータ3と4, 5と6についても同様にすることで、入力ポートのデータを任意の出力ポートへ任意の順(組合せ)で出力することができる。

勿論、メモリが高速メモリであればこれ程多数のメモリを使用しなくても、多チャネルマルチポート入力データを同様出力ポートへクロスコネクすることができる。しかし入力データが高速であると、それ以上に高速のメモリは入手し難い。

#### (発明が解決しようとする課題)

このように従来のTSW素子では、メモリに書

き込める1ポートn(上記ではn=8)チャネル多重化データなら第4図のようにしてクロスコネクを行なうことができる。しかしマルチポートであると必要なメモリ数が多くなり、ハードウェア量が増大する。次にこれを説明する。

第5図は入出力ポートが3ポート、2多重の例であるが、本例では入力ポートのデータ1と2, 3と4, 5と6を出力ポートのデータ3と6, 4と1, 5と2にクロスコネクする、としている。メモリとしては第4図のように1つのみ用いるとすると、書き込みはこのメモリMEMへ到着順かつポート順に1と3と5, 2と4と6、と書き込めばよく、読出しは、このメモリMEMに書き込まれているデータを3と4と5, 6と1と2の順で読出し、セレクトで所要ポートへ出力すればよい。しかし書き込みアドレスも読出しアドレスも同じ(アドレス1を指定してデータ1, 3, 5を書き込み、アドレス1を指定してデータ2, 4, 6を書き込み、読出しも同様)であるから、出力データの3と5は得られても4は得られず、また6と2は

込んだデータのうち、ある瞬間に読出せるデータは1ワードであるので、大容量のデータを扱う場合はそのポート数に応じて多くのメモリを使用する必要がある。つまり、1つのメモリに全てのデータを書き込んでも、同時に読出すことが不可能なため、同じ内容を書き込んだ複数のメモリを出力ポートに応じて使用している。従って扱う信号の量やポート数の増大に伴って、使用するハードウェア量が増大することになる。

本発明はかかる点を改善し、少ないハードウェア量でマルチポート、マルチチャネルのデータのクロスコネクを実現することを目的とするものである。

#### (課題を解決するための手段)

第1図に示すように本発明ではnチャネル多重化データが入力するm個のポートに対して、 $n \times m$ (単位は、1チャネル1ビットならビット、1チャネル8ビットならバイト)の容量の記憶素子(レジスタ)を設ける。これらの記憶素子へは書

込み、読出しを交互に行なうが、セレクト16はこの交互に読出されるデータを選択して第2のセレクト18へ送る。第2のセレクト18はm個のセレクトからなり、各々はm個のnチャンネル多重化データの1つを選択する。

#### 〔作用〕

第1図では記憶素子12、14はダブルバッファ構成となっており、入力データを交互に書込まれ、また記憶データを交互に読出される。従ってデータが連続して入力しても記憶素子への格納は支障なく行なわれ、また読出しデータも連続して出力される（各記憶素子では書込み中は読出しできず、読出し中は書込みできない）。

各記憶素子からの読出しデータは、簡単化のため1チャンネル1ビットとすると、 $n \times m$ ビット並列であり、従って信号線は $n \times m$ 本設けられる。この $n \times m$ 本の信号線が、m個のセレクト18a、18b、……に並列に入力する。各セレクトはこのうちの、指定されたnビットを当該出力ポート

へ接続する。

各ポートの信号は第5図の例のように2多重（ $n=2$ ）とすると、記憶素子12の出力線は2m本、記憶素子14も同様、セレクト16の出力側も2m本で、該セレクト16は入力側の2つの2m本のいずれか（読出しデータが出てきた方）を出力側の2m本へ接続する。セレクト18a、18b、……は2mから1を選択する動作を2回行なって1サイクル終了となり、指定された入力データを自己の出力ポートへ出力する。これで所望のクロスコネクトを行なうことができる。また必要なハードウェア量は少なく済む。

#### 〔実施例〕

第2図はポート数16、n多重化データのnは16、の例を示す。この場合も、簡単化のため1チャンネルのデータは1ビットとすると、レジスタ12、14のビット数は $16 \times 16 = 256$ 、その出力線は256本、である。書込みと読出しは交互で、ライトイネーブルW、によりレジスタ1

2が書込み中のときリードイネーブルR、によりレジスタ14が読出し中、書込みが終わってリードイネーブルR、によりレジスタ12が読出し中のときはライトイネーブルW、によりレジスタ14は書込み中である。

セレクト16の出力側の信号線は256本で、入力側の2つの256本の一方（読出し中の方）を出力側の256本へ接続する。セレクト18は16個あり、256から1つを選択し、16回の選択動作で1サイクル完了となる。ポート入力は16チャンネル多重化データ、ポート出力も16チャンネル多重化データである。1チャンネルのデータが8ビットなら、セレクト16の入力側信号線数は $16 \times 16 \times 8 \times 2$ 、出力側信号線数は $16 \times 16 \times 8$ である。この $\times 8$ の分は時分割の採用で、除去できる。

第3図に第2図の1ポート分の動作を示す。

(a)は1ポートの信号入力、16チャンネル多重化データである。(b)に示すようにこの各16チャンネル分のデータをブロック(BLK)1、

ブロック2、ブロック3、……とする。(c)

(d)に示すように先ずレジスタ12へBLK1を書込み(W)、次にBLK2をレジスタ14へ書込み、同時にレジスタ12からBLK1を読出す(R)。次はレジスタ12へBLK3を書込み、同時にレジスタ14からBLK2を読出し、以下同様とする。このようにすると(e)に示すように、1サイクル遅れてBLK1、BLK2、……が読出されてくる。

メモリを出力ポート数だけ設け、かかるメモリブロックを入力ポート数だけ設ける第5図の方式では、同じデータを各メモリブロックへ重複して書込み、メモリブロックから読出したデータの1つを使用してあとは廃棄することになるが、本発明では入力データを重複することなくレジスタ12、14へ書込み、書込んだデータはすべて出力ポートのいずれかへ出力する。従って無駄がない。

#### 〔発明の効果〕

以上説明したように、従来方式ではポート数に

対応して記憶素子数を増やす必要があるのに対し、本発明ではその必要はなく、ハードウェア量を低減することができる。

#### 4. 図面の簡単な説明

第1図は本発明の原理図、

第2図は本発明の実施例を示すブロック図、

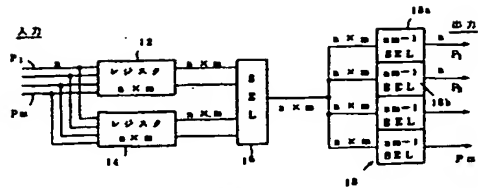
第3図は第2図の動作説明図、

第4図はクロスコネクタの説明図、

第5図はマルチポートクロスコネクタの説明図である。

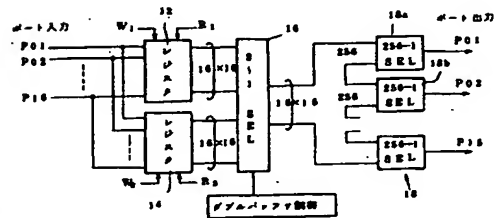
第1図で12、14は記憶素子、16、18は第1、第2のセレクト、 $P_1 \sim P_m$ はポートである。

出 願 人 富 士 通 株 式 会 社  
代 理 人 弁 理 士 青 柳 啓



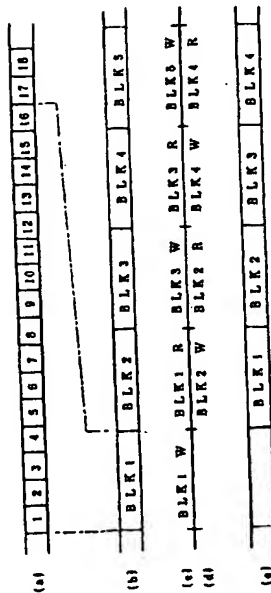
本発明の原理図

第1図



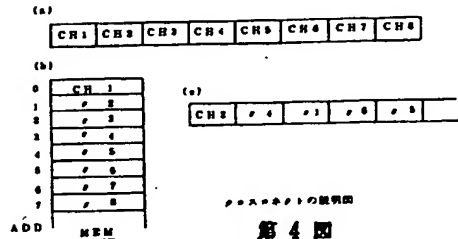
本発明の実施例を示すブロック図

第2図



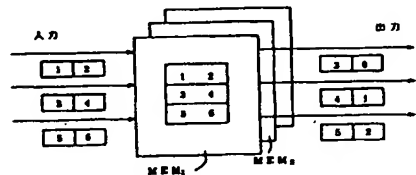
第2図の動作説明図

第3図



クロスコネクタの説明図

第4図



マルチポートクロスコネクタの説明図

第5図